

# Résumé de cours sur la PLL & la synthèse de fréquence

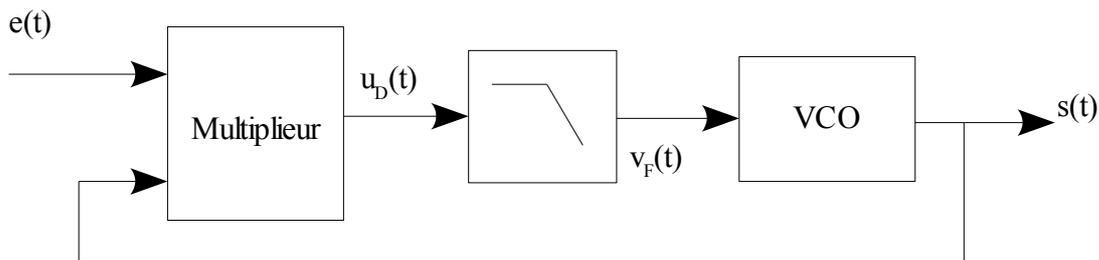
## Sommaire

1.Présentation, généralités.....	2
2.Fonctionnement d'une PLL à fréquence fixe.....	2
2.1.PLL décrochée (non verrouillée).....	3
2.2.PLL accrochée (verrouillée).....	3
2.3.Plage de capture et plage de maintien.....	3
2.4.Détermination de la plage de maintien.....	4
2.5.Estimation de la plage de capture .....	5
3.La PLL en régime dynamique : fréquence variable.....	5
4.La synthèse de fréquences.....	7
4.1.Présentation du comparateur de phases séquentiel .....	7
4.2.Particularité du filtre à placer derrière un comparateur de phase séquentiel.....	9
4.3.Modélisation du comparateur de phase séquentiel.....	10
4.4.Modélisation de la PLL en synthèse de fréquence à comparateur de phase séquentiel.....	12

**Auteur** : Thierry ROCACHER

## 1. Présentation, généralités

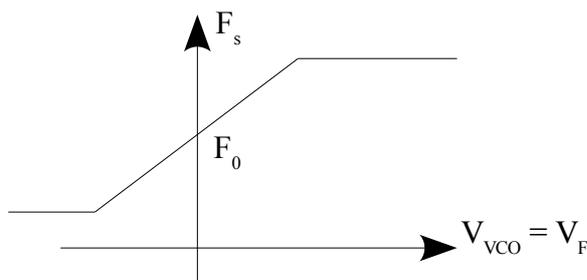
Une PLL (Phase Locked Loop, c'est à dire boucle à verrouillage de phase) est un système bouclé qui produit une tension  $s(t)$  variable *dont la phase* est *asservie* sur celle de la tension variable appliquée en entrée,  $e(t)$ . Elle est constituée d'un *VCO*, d'un filtre *passé-bas*, et d'un *comparateur de phase*, ici un multiplieur analogique.



Le VCO est l'organe qui génère la tension variable  $s(t)$ . Le multiplieur est (dans des conditions bien particulières de fonctionnement de la PLL) le *comparateur de phase*. Enfin, le filtre *passé-bas* a pour but de filtrer des fréquences élevées produites par le comparateur de phase.

## 2. Fonctionnement d'une PLL à fréquence fixe

Supposons que le VCO ait la caractéristique tension-fréquence suivante  $F_s = f(V_{VCO})$  :



$F_0$  est appelée la *fréquence libre* du VCO.  
 $K_{VCO}$  est le *gain* du VCO.

On considère que le multiplieur a pour caractéristique  $u_D(t) = G_M \cdot e(t) \cdot s(t)$ .  $G_M$  est un gain.

Pour pouvoir chiffrer les exemples qui vont suivre, prenons  $F_0 = 1\text{MHz}$ ,  $G_M = 0,1\text{ V}^{-1}$ ,

$F_c$  (fréquence de coupure du filtre, premier ordre) = 30kHz.

La tension d'entrée s'écrit  $e(t) = \hat{E} \cdot \cos(2 \cdot \pi \cdot F_e \cdot t + \varphi_e)$  et la tension de sortie  $s(t) = \hat{S} \cdot \cos(2 \cdot \pi \cdot F_s \cdot t + \varphi_s)$

Enfin, rappelons que le produit  $\cos(a) \cdot \cos(b) = 1/2 \cdot \cos(a-b) + 1/2 \cos(a+b)$

Ainsi, en sortie du multiplieur on trouve deux composantes spectrales, l'une à la *fréquence somme* et l'autre à *la fréquence différence* des fréquences présentes en entrée du multiplieur. Le filtre *passé-bas* supprime la composante somme, c'est son rôle. On ne s'intéressera donc qu'à la différence des fréquences.

### 2.1. PLL décrochée (non verrouillée)

Imaginons que le signal  $e(t)$  ait une fréquence de 100kHz. On peut imaginer qu'à cet instant le VCO oscille à sa fréquence libre, 1Mhz. La sortie du multiplieur comprend donc deux fréquences : 1,1MHz, et 900kHz. Le filtre passe-bas ne laisse passer aucune fréquence, sa sortie est donc nulle : confirmation, le VCO oscille bien à sa fréquence libre.

On dit alors que la PLL est **non verrouillée**. Aucun asservissement ne peut se faire, les fréquences d'entrée et de sortie n'ont rien à voir.

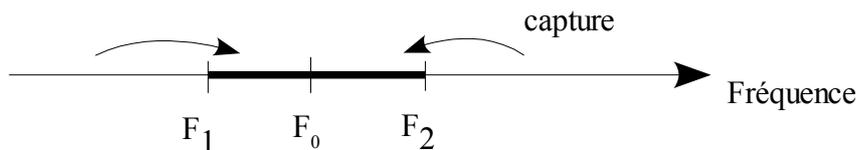
### 2.2. PLL accrochée (verrouillée)

Supposons maintenant que la fréquence d'entrée ait une fréquence de 1,010 Mhz. Si le VCO est sur sa fréquence libre, En sortie du **mélangeur** (autre dénomination pour un multiplieur), on a 2,01 Mhz (filtré) et 10kHz. La tension d'entrée du VCO oscille et n'est plus nulle. La fréquence de sortie oscille temporairement autour de la fréquence libre, pour finalement se figer (**capture**) à la fréquence d'entrée, 1,010 Mhz. La différence de fréquence (le **battement** de fréquence) devient nulle. La tension d'entrée du VCO est alors **continue**, elle correspond précisément à la fréquence d'entrée (courbe du VCO).  $F_e = F_s$ .

La PLL est alors **verrouillée**.

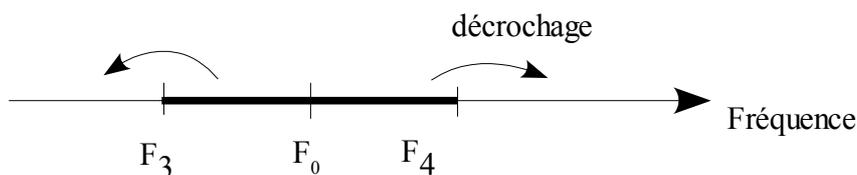
### 2.3. Plage de capture et plage de maintien

La PLL passe d'un état non verrouillé à un état verrouillé (capture), pour deux fréquences bien particulières, l'une inférieure à la fréquence libre,  $F_1$ , l'autre supérieure  $F_2$ .



La **plage de capture** est l'intervalle de fréquence pour lequel la PLL est verrouillée mais dont les limites sont fixées par les deux fréquences conduisant à la capture (état non verrouillé vers un état verrouillé).

Lorsque la PLL est verrouillée, la fréquence d'entrée peut varier, la fréquence de sortie va suivre. Si la variation est trop grande, la PLL va **décrocher**.



La **plage de maintien** est donc l'intervalle de fréquence pour lequel la PLL est verrouillée mais dont les limites sont fixées par les deux fréquences conduisant au décrochage de la PLL.

Systematiquement, la plage de maintien est supérieure ou égale à la plage de capture.

## 2.4. Détermination de la plage de maintien

Le décrochage de la PLL est dû à une saturation. Il y a deux cas à envisager, soit c'est le VCO qui sature, soit c'est le comparateur de phase. Dans le cas du VCO, la plage de maintien correspond à la plage de fonctionnement du VCO.

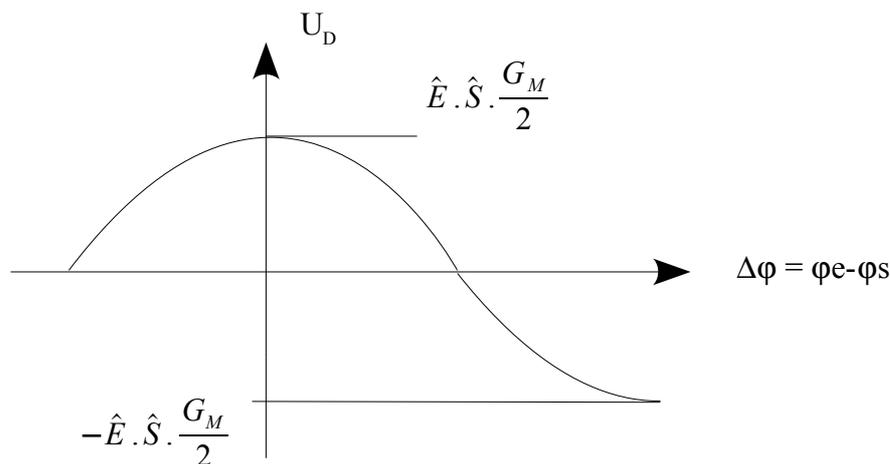
Dans le cas où c'est le comparateur de phase qui sature (cas le plus fréquent), les choses sont un peu plus compliquées. Quand la PLL est verrouillée, on a vu que la tension du VCO est continue, grâce à l'action du filtre qui élimine la composante à  $2F_e$ . Comme c'est seulement le battement de fréquence qui influe sur le VCO, on ne va considérer que celle-ci :

$$U_D(t) \approx V_F(t) = \hat{E} \cdot \hat{S} \cdot \frac{G_M}{2} \cdot \cos(F_e \cdot t + \varphi_e - F_s \cdot t - \varphi_s) \quad \text{comme la PLL est verrouillée,}$$

$$U_D(t) \approx V_F(t) = \hat{E} \cdot \hat{S} \cdot \frac{G_M}{2} \cdot \cos(\varphi_e - \varphi_s) = \hat{E} \cdot \hat{S} \cdot \frac{G_M}{2} \cdot \cos(\Delta\varphi)$$

Cette relation montre bien le rôle de comparateur de phase attribué au mélangeur.

### Caractéristique du comparateur de phase (composante somme négligée)



La plage de maintien est donc  $\left[ F_0 - \hat{E} \cdot \hat{S} \cdot \frac{G_M}{2} \cdot K_{VCO}, F_0 + \hat{E} \cdot \hat{S} \cdot \frac{G_M}{2} \cdot K_{VCO} \right]$

### 2.5. Estimation de la plage de capture

Il est difficile de calculer ou même d'estimer la plage de capture d'une PLL car la capture est un phénomène non linéaire complexe.

Toutefois, si on imagine un filtre sélectif cardinal (idéal, pente infinie), il est clair que si le battement de fréquence rentre dans le gabarit, la PLL se verrouille, sinon elle n'accroche pas. La limite est donc directement fixée par la bande passante du filtre. Autrement dit, la plage de capture serait  $[F_0-F_c, F_0+F_c]$ . Dans la réalité (filtre du premier ordre), la limite entre bande passante et bande atténuée est plus diffuse. On se basera donc sur les résultats d'un filtre idéal, tout en sachant que la plage sera forcément plus grande.

## 3. La PLL en régime dynamique : fréquence variable

Dans les parties précédentes, nous avons vu la PLL en régime sinusoïdal pur (fréquence fixe). Nous allons maintenant analyser la PLL en régime dynamique.

**Relation générale :**

$$\varphi(t) = 2 \cdot \pi \cdot \int f(t) dt$$

### Point de repos de la PLL

Comme tout asservissement, la PLL doit être modélisée autour d'un point de repos qu'il convient de définir : la **PLL est verrouillée** (sur sa fréquence centrale  $F_0$ ), la fréquence d'entrée est constante.

La phase croît linéairement (tout comme en asservissement de vitesse, la position croît linéairement à vitesse constante).

**En entrée :**

$$\bullet \quad f_e(t) = F_{e0} = F_0$$

$$\bullet \quad \varphi_e(t) = 2 \cdot \pi \cdot F_0 \cdot t + \varphi_{e0}$$

**en sortie**

$$f_s(t) = F_{s0} = F_{e0} = F_0$$

$$\varphi_s(t) = 2 \cdot \pi \cdot F_0 \cdot t + \varphi_{s0}$$

### Modélisation de la PLL

La tension d'entrée a une fréquence  $f_e(t)$  qui s'écrit :

$$f_e(t) = F_{e0} + \tilde{f}_e(t) \quad \text{où} \quad \tilde{f}_e(t) \quad \text{est la composante dynamique variable de } f_e(t).$$

La phase de ce même signal s'écrit donc :

$$\varphi_e(t) = 2 \cdot \pi \cdot F_{e0} \cdot t + 2 \cdot \pi \cdot \int \tilde{f}_e(t) + \varphi_{e0} \quad \text{de même pour le signal de sortie,}$$

$$\varphi_s(t) = 2 \cdot \pi \cdot F_{s0} \cdot t + \int \tilde{f}_s(t) + \varphi_{s0}$$

Ainsi, en sortie du multiplieur ( et en ne considérant que le battement de fréquence), on obtient :

$$U_D(t) = \hat{E} \cdot \hat{S} \cdot \frac{G_M}{2} \cdot \cos(\varphi_e(t) - \varphi_s(t))$$

$$U_D(t) = \hat{E} \cdot \hat{S} \cdot \frac{G_M}{2} \cdot \cos(2 \cdot \pi \cdot F_{e0} \cdot t + 2 \cdot \pi \cdot \int \tilde{f}_e(t) + \varphi_{e0} - 2 \cdot \pi \cdot F_{s0} \cdot t - 2 \cdot \pi \cdot \int \tilde{f}_s(t) - \varphi_{s0})$$

La polarisation étant autour de  $F_{e0}=F_{s0}=F_0$ ,

$$U_D(t) = \hat{E} \cdot \hat{S} \cdot \frac{G_M}{2} \cdot \cos(2 \cdot \pi \cdot \int \tilde{f}_e(t) + \varphi_{e0} - 2 \cdot \pi \cdot \int \tilde{f}_s(t) - \varphi_{s0})$$

En absence de signal variable,  $U_D(t) = \hat{E} \cdot \hat{S} \cdot \frac{G_M}{2} \cdot \cos(\varphi_{e0} - \varphi_{s0})$  est nécessairement nul pour justement permettre au VCO de fournir la fréquence libre  $F_0$ . Ainsi,  $\varphi_{e0} - \varphi_{s0} = +/ - \pi/2$  donc, en régime variable, autour de la fréquence libre :

$$U_D(t) = \hat{E} \cdot \hat{S} \cdot \frac{G_M}{2} \cdot \cos(2 \cdot \pi \cdot \int \tilde{f}_e(t) - 2 \cdot \pi \cdot \int \tilde{f}_s(t) + / - \pi/2)$$

Par linéarisation autour de  $\tilde{f}_e(t) = \tilde{f}_s(t) = 0$ , on obtient

$$\tilde{U}_D(t) = +/ - 2 \cdot \pi \cdot \hat{E} \cdot \hat{S} \cdot \frac{G_M}{2} \cdot (\int \tilde{f}_e(t) - \int \tilde{f}_s(t)) = +/ - 2 \cdot \pi \cdot K_D \cdot (\int \tilde{f}_e(t) - \int \tilde{f}_s(t))$$

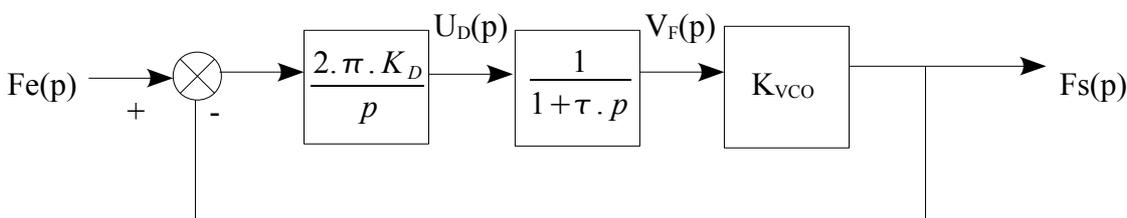
$K_D$  est le gain du détecteur de phase.

Soient  $F_e(p)$  et  $F_s(p)$ , les transformées Laplace respectives de  $\tilde{f}_e(t)$  et  $\tilde{f}_s(t)$ .  $U_D(p)$  est celle de  $\tilde{U}_D(t)$ . On obtient :

$$U_D(p) = \frac{+/ - 2 \cdot \pi}{p} \cdot K_D \cdot (F_e(p) - F_s(p))$$

La tension  $\tilde{U}_D(t)$  traverse un filtre passe-bas dont la fonction de transfert est  $\frac{1}{1 + \tau \cdot p}$  pour donner la tension  $\tilde{V}_F(t)$ , on a donc :

$$V_F(p) = \frac{1}{1 + \tau \cdot p} \cdot U_D(p) \text{ et comme le VCO a un gain } K_{VCO}, \text{ on établit le schéma bloc suivant :}$$

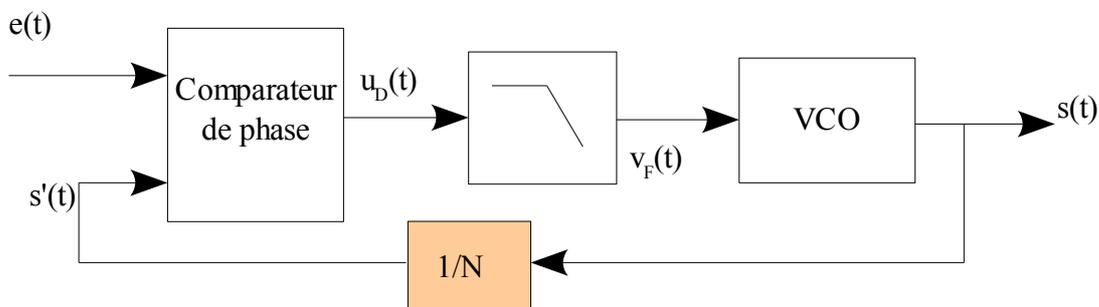


On remarque que le signe de  $K_D$  est positif. En effet, dans le cas contraire le système n'aurait aucune chance d'être stable. C'est finalement le signe du gain du VCO qui force le détecteur de phase à fonctionner sur la pente positive ou négative du cosinus (ce « choix » se produit à l'accrochage).

## 4. La synthèse de fréquences

Une PLL peut avoir beaucoup d'utilités, comme la démodulation de fréquence, la reconstruction de porteuse, mais aussi la **synthèse de fréquence**. Le besoin de *synthétiser*, donc de *fabriquer* une fréquence, se fait sentir par exemple dans le domaine de la radio, pour sélectionner la station à écouter. Pour cela on utilise une structure dite *hétérodyne* (cf cours modulateur), dans laquelle la fréquence de *l'oscillateur local*, détermine indirectement la station voulue. L'oscillateur local est un synthétiseur de fréquences.

Le principe est simple : incorporer un compteur modulo N entre la sortie du VCO et l'entrée du comparateur de phases :



Dans l'hypothèse où la PLL est verrouillée, la fréquence de  $s'(t)$  est égale à celle de  $e(t)$ . Comme la fréquence de  $s'(t)$ , sortie du compteur vaut celle de  $s(t)$  divisée par N, on en déduit :

$$f_e = f_s/N \text{ autrement dit}$$

$$\boxed{f_s = N \cdot f_e} \text{ , } f_e \text{ est la fréquence de référence, le pas du synthétiseur (basée sur un quartz)}$$

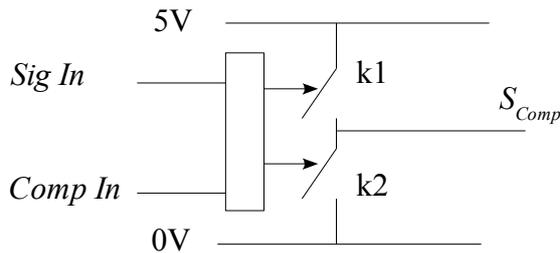
Si l'utilisateur a accès à la valeur de N, il peut contrôler à sa guise la valeur de  $f_s$  et donc élaborer la fréquence de son choix.

La présence d'un compteur impose l'utilisation de PLL numérique (par opposition à la PLL analogique à multiplier). Ce type de PLL fonctionne avec des signaux logiques 0/5V. Le VCO fournit donc un signal logique type horloge, dont la fréquence est à l'image de sa tension d'entrée.

### 4.1. Présentation du comparateur de phases séquentiel

Un comparateur de phase utilisé couramment avec ce type de signaux (logiques), est la porte XOR (OU exclusif). Il est le *dual* du multiplieur analogique. Il est largement décrit dans la littérature sur le sujet et nous ne l'aborderons pas, car peu utilisé en synthèse de fréquence. On lui préfère un second type : Le comparateur de phases séquentiel. Il est particulier en ce sens que son fonctionnement s'appuie sur la détection des **fronts des signaux** d'entrée.

Voici le principe d'un tel comparateur:



**Etat possible de  $S_{Comp}$  (fonction de  $k1$  et  $k2$ ):**

- $k1$  et  $k2$  ouverts :  $S_{Comp}$  en haute impédance (HZ)
- $k1$  fermé  $k2$  ouvert :  $S_{Comp} = 5V$
- $k1$  ouvert  $k2$  fermé :  $S_{Comp} = 0V$

C'est l'apparition de fronts sur  $Sig In$  et  $Comp In$  qui fait évoluer  $S_{Comp}$

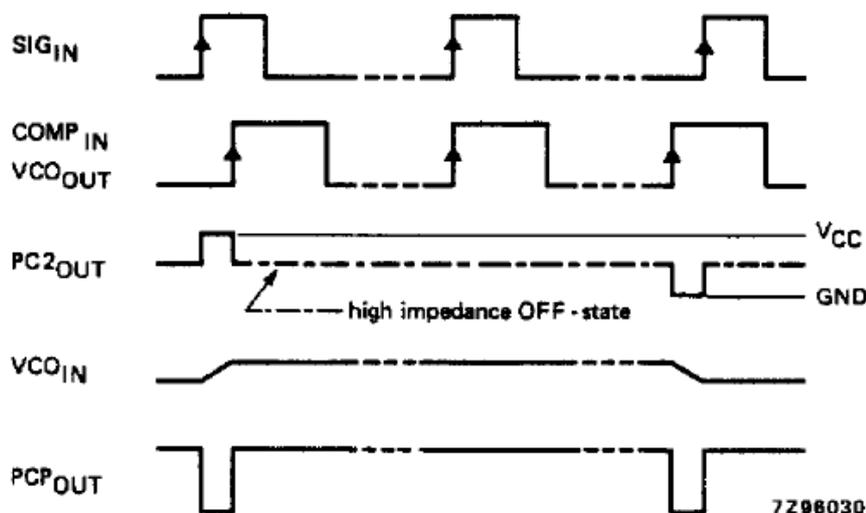
**Evolution de  $S_{Comp}$  :**

La sortie évolue toujours de manière progressive. Cela signifie qu'on ne passe jamais directement de l'état 0V à l'état 5V.

Voici la logique de fonctionnement:

- Si un front survient à l'entrée  $Sig In$  ( $S_{Comp}$  cherche à atteindre 5V):
  - Si  $S_{Comp} = 0V$  ( $k2$  fermé), alors  $S_{Comp}$  passe en HZ ( $k1$  et  $k2$  ouverts)
  - Si  $S_{Comp}$  en HZ ( $k1$  et  $k2$  ouverts) alors  $S_{Comp}$  passe à 5V
  - Si  $S_{Comp} = 5V$  ( $k1$  fermé), alors  $S_{Comp}$  reste en l'état
- Si un front survient à l'entrée  $Comp In$  ( $S_{Comp}$  cherche à atteindre 0V):
  - Si  $S_{Comp} = 5V$  ( $k1$  fermé), alors  $S_{Comp}$  passe en HZ ( $k1$  et  $k2$  ouverts)
  - Si  $S_{Comp}$  en HZ ( $k1$  et  $k2$  ouverts) alors  $S_{Comp}$  passe à 0V
  - Si  $S_{Comp} = 0V$  ( $k2$  fermé), alors  $S_{Comp}$  reste en l'état

**Chronogrammes relatifs au comparateur de phase séquentiel:**

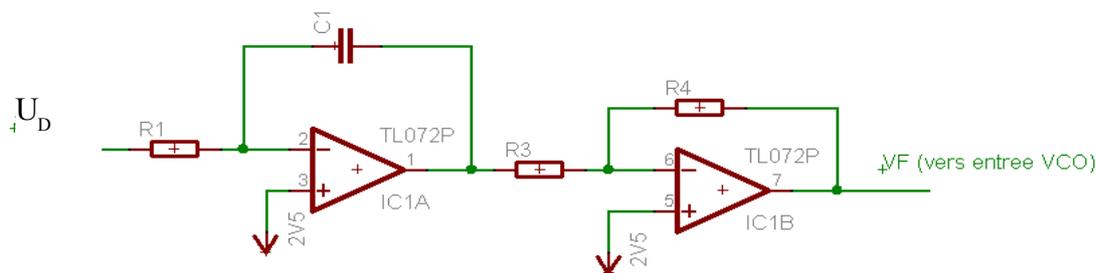


## 4.2. Particularité du filtre à placer derrière un comparateur de phase séquentiel

La modélisation du comparateur de phase séquentiel n'a de sens que s'il est associé au filtre de boucle. C'est le troisième état (HZ) qui oblige à cette analyse *groupée*.

Lorsque le comparateur est en HZ, c'est qu'il est dans son état d'équilibre. Les fronts arrivent en même temps. La PLL est verrouillée. Ainsi, à cet état particulier (HZ, donc courant nul !), doit correspondre une tension continue, stable qui attaquera le VCO. Il n'existe que le **condensateur**, qui puisse remplir une telle fonction : courant nul => tension continue non nulle. C'est la raison pour laquelle, quelque soit le filtre de boucle, on trouvera toujours un condensateur qui amènera forcément une **intégration**. On appelle parfois ce comparateur, *comparateur à intégration*. Rappelons enfin, que si la fréquence centrale du VCO est bien réglée (mi-tension d'alimentation), alors la tension d'entrée du VCO se situera aux alentours de 2V5.

Le filtrage le plus simple qui existe est le suivant :



Lorsque l'amplificateur travaille en régime linéaire (PLL verrouillée), la tension  $\varepsilon (= v^+ - v^-)$  vaut 0, ce qui implique que  $V^- = 2V5$ .

Ainsi, à chaque fois que  $S_{comp}$  vaut +5V, un courant  $i$  circule dans R1 et donc dans C1. Ce courant vaut :

$$i = I_0 = \frac{2V5}{R1} = \frac{V_{DD}}{2 \cdot R1} \quad (V_{DD} \text{ est la tension d'alimentation, } 5V).$$

Quand  $S_{comp}$  vaut 0V, le courant  $i$  vaut  $-I_0$ .

Enfin, quand  $S_{comp}$  est en haute impédance,  $i = 0$ .

La sortie de l'intégrateur, donc  $V_F$ , sera constante quand les fronts seront synchrones.

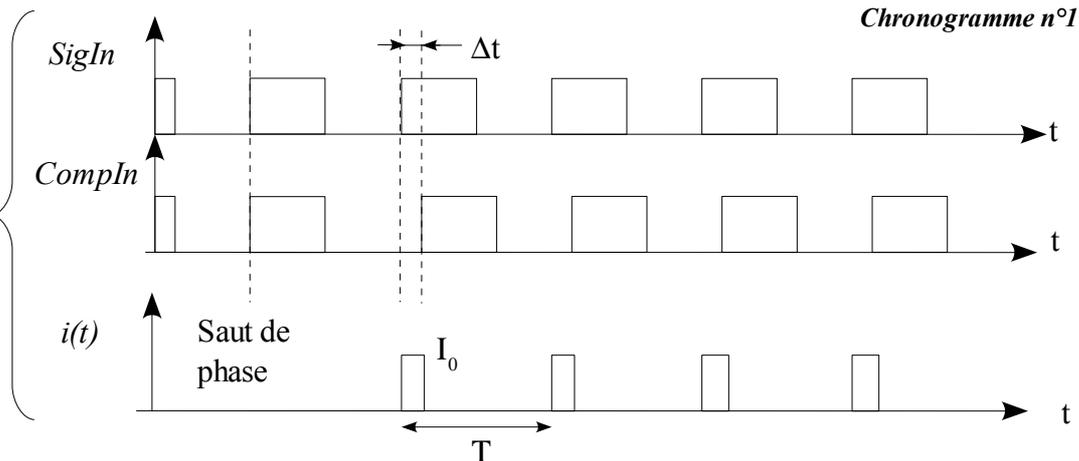
- le front montant de *SigIn* est en **avance** sur le front montant de *CompIn* ( $S_{comp} = 5V$ ):  
 $i(t) = +I_0$
- le front montant de *SigIn* est en **retard** sur le front montant de *CompIn* ( $S_{comp} = 5V$ ):  
 $i(t) = -I_0$
- le front montant de *SigIn* est en **en phase** avec le front montant de *CompIn* ( $S_{comp} = 5V$ ):  
 $i(t) = 0$

**La particularité du filtre est d'être bâti autour d'un AOP dont la référence n'est pas 0V, mais  $V_{DD}/2$ , c'est à dire la moitié de la tension d'alimentation.**

### 4.3. Modélisation du comparateur de phase séquentiel

Afin d'exprimer la fonction de transfert, on va se placer dans le cas où la PLL est verrouillée. De plus, on va s'intéresser au courant de sortie du comparateur de phase (dans la résistance R1) en fonction du déphasage. L'idée est de raisonner sur une réponse du courant à une échelon de phase. Cela signifie qu'on part d'un état où le déphasage est nul (les fronts arrivent en même temps) et que brusquement, on produit un déphasage constant entre les deux fronts montants de *SigIn* et *CompIn*.

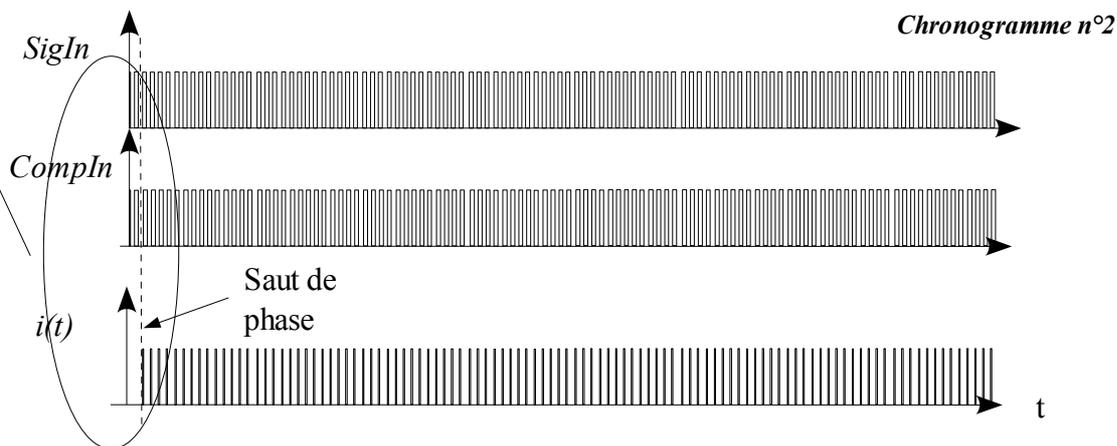
Les



La phase et le temps sont reliés par la relation  $\varphi = \omega_0 \cdot t$  (on confond en fait le signal carré et le fondamental sinusoïdal). Ainsi,  $\Delta \varphi = \omega_0 \cdot \Delta t$

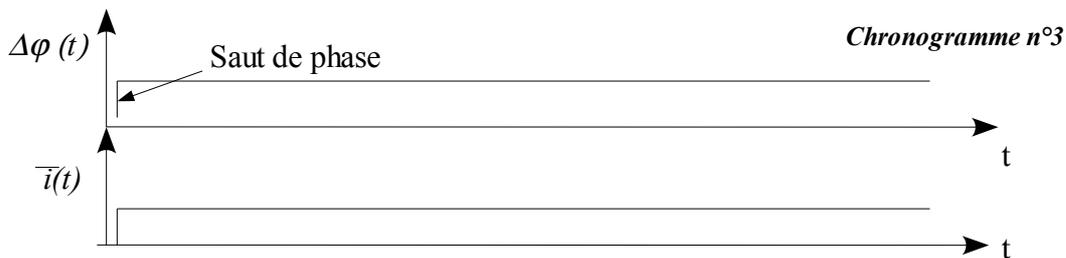
Si on prend du recul sur ce chronogramme n°1 et qu'on observe non pas 5 à 6 périodes mais plutôt 200 périodes, voilà ce qu'on observerait :

Zoom



Le raisonnement doit en outre se faire au sens des *valeurs moyennes*. En effet, d'une manière ou d'une autre, le filtre de boucle doit avoir un effet de filtrage passe-bas. Donc en sortie de ce filtre, seule la **valeur moyenne** sera appliquée au VCO. (Remarquons que cette manière d'aborder la modélisation automatique de la PLL est à rapprocher de celle employée pour analyser le comparateur de phase de type multiplicateur analogique. Dans ce cas, le mélangeur fournissait une fréquence de battement et une fréquence haute  $- 2 \cdot f_0$  - qui était négligée pour la modélisation en

supposant que le passe-bas l'éliminait).



Précisons ce que l'on entend par valeur moyenne de  $i(t)$  : c'est la valeur moyenne *au sens de la période*  $T$ , c'est à dire sur une période des signaux *SigIn* et *CompIn*. Autrement dit, c'est la valeur moyenne qu'on peut calculer sur le chronogramme n°1.

Par contre, sur le chronogramme n°2, cette valeur moyenne *glisse*, au fur et à mesure qu'on avance dans le temps. Cela signifie donc que sur l'échelle large, telle que celle du chronogramme n°2, la valeur moyenne (*au sens de la période*  $T$ ), évolue en fonction du temps !

On notera cette valeur moyenne par :  $\bar{i}(t)$

Ce qui doit se lire « valeur moyenne de  $i$ , en fonction du temps ».

Le chronogramme n°3 nous apprend qu'il y a proportionnalité entre  $\bar{i}(t)$  et  $\Delta\varphi(t)$  .

La relation entre les deux s'obtient en s'appuyant sur le chronogramme n°1 :

$\bar{i}(t) = I_0 \cdot \frac{\Delta t(t)}{T}$  où  $\Delta t(t)$  représente la variation de l'écart temporel entre deux fronts, en fonction du temps. Dans la réponse indicielle, cette grandeur vaut 0, puis une valeur non nulle, fixe.

On en déduit très simplement la relation qui lie  $\bar{i}(t)$  et  $\Delta\varphi(t)$  :

$$\bar{i}(t) = I_0 \cdot \frac{\Delta t(t)}{T} = I_0 \cdot \frac{\Delta\varphi(t)}{2 \cdot \pi}$$

Si on remplace  $I_0$  par son expression,  $I_0 = \frac{V_{DD}}{2 \cdot R_1}$ , alors on obtient

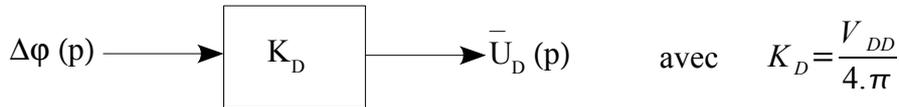
$$\bar{i}(t) = \frac{V_{DD}}{4 \cdot \pi \cdot R_1} \cdot \Delta\varphi(t) \quad \text{soit en Laplace,} \quad \boxed{\bar{i}(p) = \frac{V_{DD}}{4 \cdot \pi \cdot R_1} \cdot \Delta\varphi(p)}$$

Comme habituellement, la modélisation d'un comparateur de phase traduit la relation entre la **tension** qu'il délivre et le **déphasage** en entrée, il convient de faire de même avec ce nouveau type. La tension moyenne de sortie du comparateur,  $U_D (= S_{comp})$ , est liée au courant moyen  $\bar{i}(t)$ , par la relation  $\bar{U}_D(t) = R_1 \cdot \bar{i}(t) + \frac{V_{DD}}{2}$  .

La modélisation en Laplace ne concerne que les variations, donc :  $\bar{U}_D(p) = R_1 \cdot \bar{i}(p)$

**Résumons :**

Le comparateur de phase séquentiel associé à un filtre de boucle à AOP inverseur, dont l'entrée  $V^+$  se trouve polarisée à  $V_{DD}/2$  peut se modéliser par la fonction de transfert suivante :

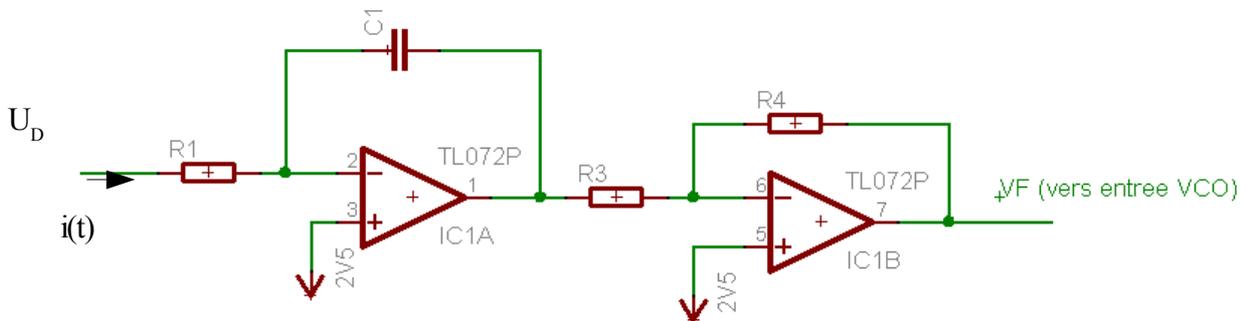


**NB:** La fréquence de transition du système doit être nettement en dessous de  $f_e$ , fréquence du signal d'entrée, car le comparateur de phase repose sur un *échantillonnage* (Shannon) .

**4.4. Modélisation de la PLL en synthèse de fréquence à comparateur de phase séquentiel**

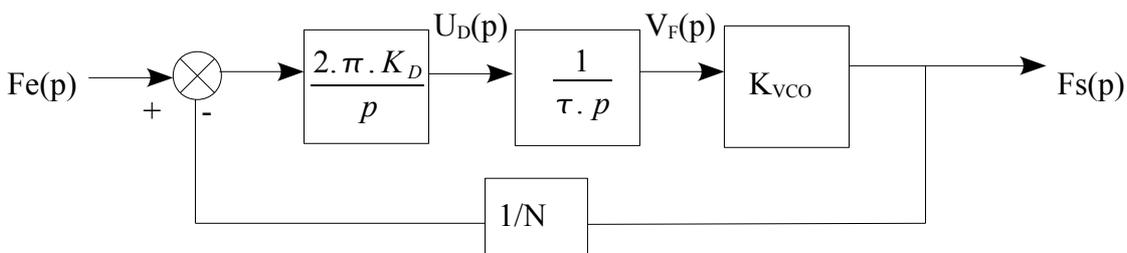
**NB:** La notation de valeur moyenne (pour la tension  $U_D$  et le courant  $i$  ne sera plus explicite dans la modélisation afin d'alléger l'écriture).

Le filtre le plus élémentaire est l'intégrateur (comme il inverse, on y associera systématiquement un inverseur,  $R_3 = R_4$ ) :



La sortie  $V_F(t)$  est l'intégrale du courant, on obtient donc  $V_F(p) = \frac{U_D(p)}{R_1 \cdot C_1 \cdot p} = \frac{U_D(p)}{\tau \cdot p}$

On en déduit le schéma de Laplace :



Ce système est en limite de stabilité. Il est donc nécessaire de modifier le filtre de manière à récupérer de la phase et de disposer d'une marge de phase de  $45^\circ$  : filtre PI.