

# Les snubbers, analyse approfondie de la commutation des cellules

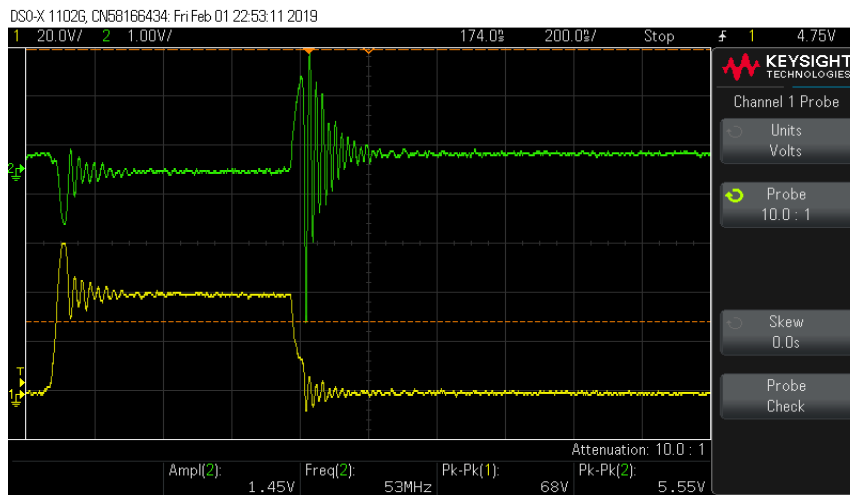
## Contexte

Lors de la réalisation d'un convertisseur Boost 24V / 40V 150W, cf [1], on observe à forte puissance :

- des oscillations très importantes lors des commutations (tension  $V_{DS}$  et courant  $I_{DS}$ ),
- un échauffement très importants du MOS et de la diode de roue libre (2 en parallèle).

Cela conduit donc à fort rayonnement CEM et à une dégradation du rendement.

Voici l'image d'une commutation typique (courant de 7A, tension de 40V) :



**Fig 0.1**  $V_{DS}$  (en jaune),  $I_{DS}$  (en vert)

Le document propose donc d'étudier ces phénomènes puis d'analyser des solutions classiques (snubber en particulier) pour améliorer la situation.

Bien que ce type de circuit est très usuel, il n'en demeure pas moins que la théorie derrière est pointue. Elle demande d'être parfaitement à l'aise sur les transitoires du second ordre et de bien appréhender les phénomènes de commutation (voir [3]).

# 1. Rappels sur la commutation du NMOS

## 1.1. La commutation avec des composants idéalisés

Afin de simplifier l'analyse, on propose de travailler sur le schéma ci-dessous. La source de courant représente une charge fortement inductive. Il ne s'agit pas d'un convertisseur Boost, mais d'un Buck. L'analyse reste parfaitement reproductible au cas d'un convertisseur Boost.

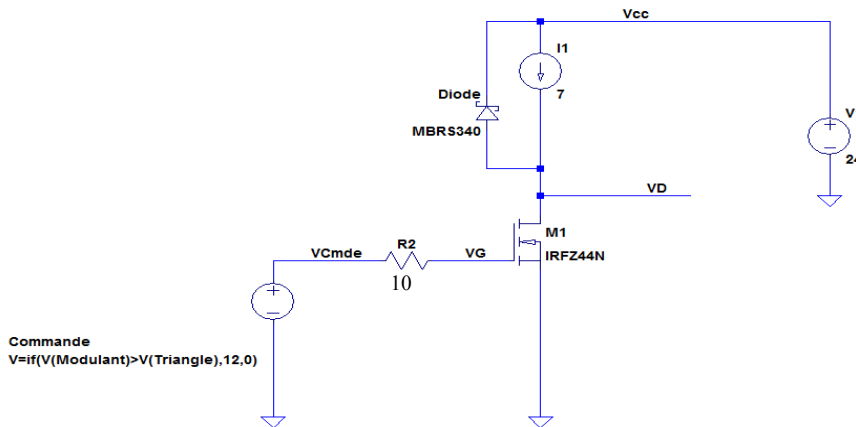


Fig 1.1 Schéma d'étude de la commutation

Comme cela a été expliqué dans [2], la particularité de la cellule est que la diode dont la commutation est spontanée impacte directement sur la manière dont le MOS commute. En effet, à la fermeture, tout le courant passait dans la diode. Celui ci doit être entièrement dérivé dans le MOS pour qu'enfin la diode cesse de fonctionner. Ainsi, à la fermeture, le courant dans le transistor ne peut que croître sous la pleine tension 24V, ceci indépendamment du type de transistor, MOS, bipolaire ou autre. Inversement, à l'ouverture, tout le courant passait dans l'interrupteur. Celui ci ne pourra commencer à être dérivé dans la diode que lorsque cette dernière se met à conduire. Cela se traduit par une tension  $V_{DS}$  qui atteint 24V dans notre cas (+ seuil de la diode).

On pourrait résumer ce ceci en disant que c'est la loi des nœuds (au niveau du drain) à seulement 3 branches qui pourra éventuellement créer l'indépendance  $I_{DS} / V_{DS}$ , non la nature du transistor.

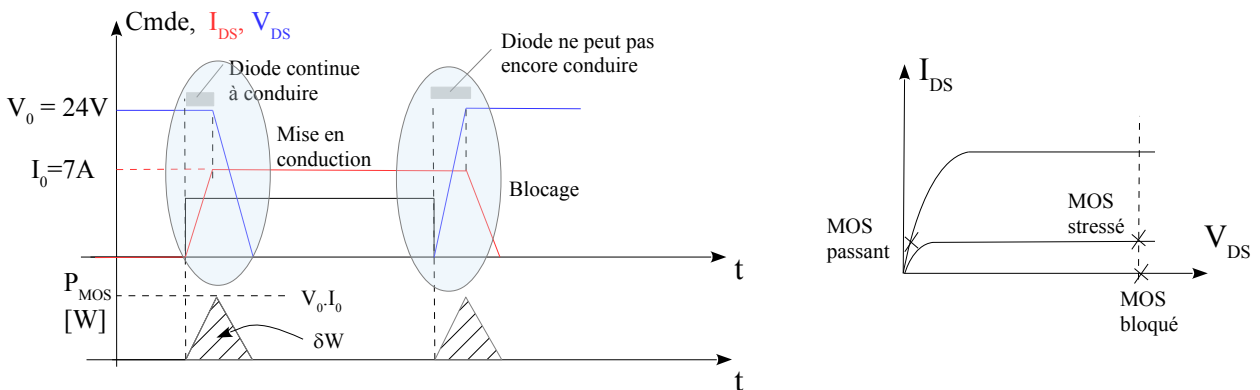


Fig 1.2a chronogrammes de commutation, Fig 1.2b parcours de la caractéristique de sortie (dans les 2 sens)

## 1.2. Les pentes di/dt et dv/dt lors de la commutation de MOS

Lors de la mise en conduction, le courant dans le MOS croît en fonction de  $V_{GS}$ . C'est donc le circuit d'entrée qui est le responsable du di/dt, dépendant du condensateur  $C_{gs}$ . Usuellement, le driver de MOS est de type source de tension (push-pull) limité en courant. La montée de courant de drain est donc directement liée à la résistance  $R_g$  et au courant maximum du driver.

La diode n'étant plus conductrice, la tension  $V_{GS}$  peut décroître. A cet instant, le MOS joue un rôle tout à fait particulier. On se trouve sur le point de la caractéristique correspondant à la pire des situations, courant maximum et tension maximum. La tension décroît nécessairement à courant constant, donc à  $V_{GS}$  constant. Le courant de grille trouve donc un chemin non plus dans  $C_{gs}$  mais dans  $C_{gd}$ , provoquant une chute de tension  $V_{DS}$  avec une pente  $-I_{GS}/C_{gd}$ . C'est juste lors de l'entrée en zone ohmique que la tension  $V_{DS}$  finit de décroître en même temps que  $V_{GS}$  termine son exponentielle.

Lors du blocage, la tension  $V_{DS}$  croît fatalement avant que  $I_D$  se mette à diminuer de manière à ce que la diode puisse conduire et dériver le courant du MOS. C'est le processus inverse qui se produit, à savoir une croissance de  $V_{DS}$  par le chargement de  $C_{gd}$ .

Le courant va donc pouvoir diminuer en même temps que  $V_{GS}$  diminue.

→ la **croissance / décroissance du courant, di/dt**, est directement liée à la croissance / décroissance de  $V_{GS}$ , donc à  $R_G$ ,  $I_{GMAX}$  et  $C_{gs}$ .  
**C'est donc le circuit d'entrée qui est responsable du di/dt.**

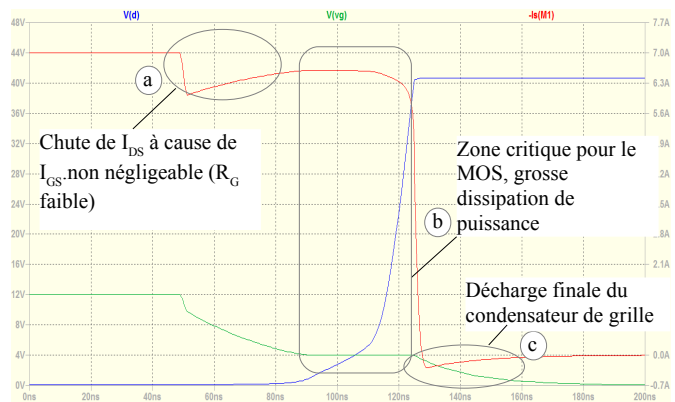
→ la **décroissance de la tension, dv/dt**, est directement liée à la capacité  $C_{gd}$ , et  $I_{GSmax}$ , et aussi  $R_G$ . (tout dépend si  $V_{GS10} / R_G > I_{GSmax}$  ou pas)  
**C'est donc le circuit d'entrée qui est responsable aussi du dv/dt.**

La figure suivante montre le blocage sous LTSpice :

**a** - Le courant  $I_S$  est mesuré à la source. C'est important de le préciser car il vient s'ajouter le courant passager de grille. On observe très bien sur la courbe rouge une chute du courant  $I_S$  en phase avec la première chute de  $V_{GS}$  et qui donc, extrait le courant de la grille.

**b**- Le palier au niveau de la tension  $V_{GS}$  est clairement visible. Comme prévu, il correspond à un courant de drain constant et une tension  $V_{DS}$  qui croît en même temps. Le courant  $I_S$  quant à lui est constant mais n'est pas tout à fait égal à  $I_0 = 7A$ . C'est normal puisque au niveau de la source nous avons :

$$I_S = I_D + I_{GS} = I_0 - \frac{V_{GS0}}{R_G} \quad \text{car la commande vaut 0. } V_{GS0} \text{ est la valeur de } V_{GS} \text{ au plateau.}$$



**Fig 1.3** Ouverture MOS,  $I_S$  (rouge),  $V_{DS}$  (en bleu),  $V_{GS}$  (en vert)

c- Le courant  $I_S$  devient négatif car même si le courant  $I_D$  s'est annulé, il reste encore des charges à évacuer pour décharger complètement le condensateur  $C_{gs}$ , ce qui crée un courant négatif passant.

Finalement, au moment du passage délicat où le MOS est stressé (montée de  $V_{DS}$  sous plein courant  $I_0$ ) le MOS peut être représenté comme le montre la figure 1.4 ci contre.

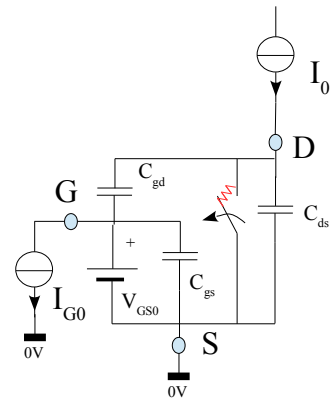
La tension  $V_{GS0}$  représente le plateau au court duquel le courant de drain est constant (il vaut  $I_0$ ).

L'interrupteur modélise l'ouverture du MOS. L'ouverture ne peut pas être brutale (d'où le symbole rouge censé représenter un circuit résistif).

En effet,  $V_{GS0}$  bloque la tension aux bornes de  $C_{gs}$ , ce dernier ne voit donc aucun courant le traverser. Le courant  $I_{G0}$  tiré par le driver de MOS circule forcément au travers de  $C_{gd}$ . La tension à ses bornes,  $V_{dg}$  croît donc forcément linéairement en  $I_{G0} \cdot t / C_{gd}$ .

Mais du coup, le courant restant se partage dans le pseudo interrupteur et  $C_{ds}$ . La pente de montée est imposée par  $C_{gd}$ . Par conséquent, le courant traversant  $C_{ds}$  est tel que :

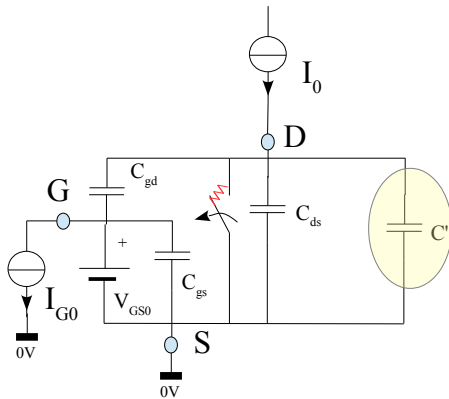
$$i_{C_{ds}} = \frac{C_{ds} \cdot dv}{dt} = \frac{C_{ds} \cdot I_{G0}}{C_{gd}} = I_{G0} \cdot \frac{C_{ds}}{C_{gd}}, \text{ le reste du courant circule dans l'interrupteur.}$$



**Fig 1.4** Schéma équivalent à l'ouverture du MOS

## 2. Aide au blocage du transistor, pas d'inductance parasite

Nous avons détaillé [2], et vu sur la figure 1.3 que la tension  $V_{DS}$  croît sous le plein courant  $I_0$  (zone b de la figure). En plaçant un condensateur  $C'$  en parallèle au MOS, le schéma équivalent au blocage de la figure 1.4 se modifie et devient :



**Fig 2.1** Schéma équivalent à l'ouverture du MOS avec un condensateur entre drain et source

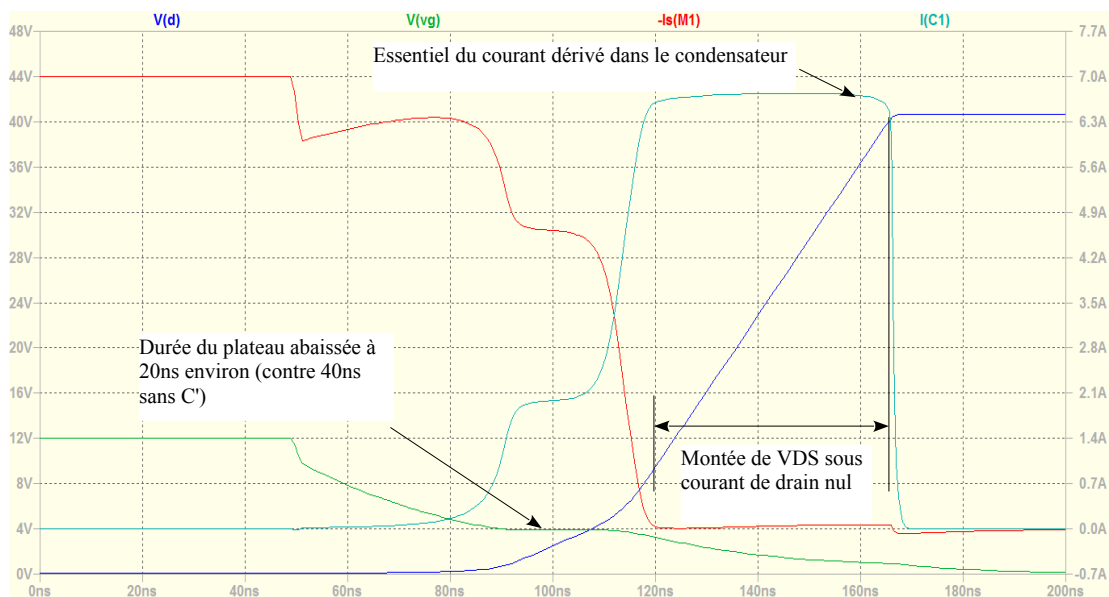
Le courant qui circule dans  $C_{ds} + C'$ , vaut maintenant :

$$i_{(C_{ds}+C')} = I_{G0} \cdot \frac{(C_{ds} + C')}{C_{gd}}$$

Si l'on choisit  $C'$  suffisamment grand, on peut dériver énormément de courant et donc éviter un échauffement excessif du transistor.

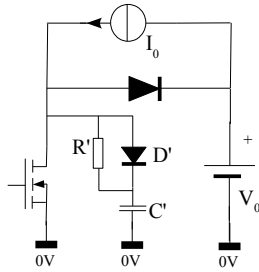
Ce faisant, le courant de drain sera forcément moins élevé que  $I_0$  puisqu'une partie va être déviée dans  $C'$ . Par conséquent la phase de plateau va diminuer voir même s'annuler complètement. En effet, si  $C'$  est suffisamment grand, c'est lui qui va imposer la montée

en tension de  $V_{DS}$ . Elle sera moins rapide bien entendu, ce qui permettra au courant de drain de rapidement être dévié dans  $C'$  sous faible tension, limitant ainsi la puissance dissipée dans le MOS. Sur la figure suivante, on observe les 3 courbes déjà présentées sur la figure 1.3, en y ajoutant le courant dans le condensateur. Il s'agit des résultats de simulation du même circuit (fig 1.1), mais on a ajouté un condensateur  $C1$  de 10nF entre drain et source.



**Fig 2.2** Courbes lors de l'ouverture du MOS avec  $C'$  entre drain et source.  $I_s$  (rouge),  $V_{DS}$  (en bleu),  $V_{GS}$  (en vert), Courant dans  $C'$  en (bleu-gris)

Si le condensateur aide clairement le MOS lors de l'ouverture, il stocke à la fin du processus une énergie égale à  $E = \frac{1}{2} \cdot C' \cdot V_0^2$ . Cette dernière devra être évacuée lors de la fermeture. On réalise cela avec une résistance et une diode comme le montre la figure 2.3 :



**Fig 2.3** circuit d'aide au blocage, CALC

La diode  $D'$  permet d'obtenir à peu de chose près le comportement étudié précédemment. La résistance  $R'$  a pour rôle de dissiper l'énergie lors de la phase de fermeture. Elle sera donc dimensionnée pour tenir la puissance nécessaire :  $P = E \cdot F_{PWM} = \frac{1}{2} \cdot C' \cdot V_0^2 \cdot F_{PWM}$ . Sa valeur sera choisie, dans une première approche, pour minimiser le temps de décharge devant la période de PWM.

### 3. Les oscillations de tension et de courant au blocage du MOS

#### 3.1. Position du problème

Dans cette partie, au moins au début, nous allons laisser de côté la dissipation du MOS (et sa solution d'aide à la commutation) pour se focaliser sur le phénomène d'oscillation rencontré en pratique.

Le routage et les défauts des composants conduisent inévitablement à l'apparition d'inductances parasite dans le circuit. Celle qui pose classiquement des problèmes est celle modélisée dans le schéma de la figure 3.1, notée  $L_p$  :

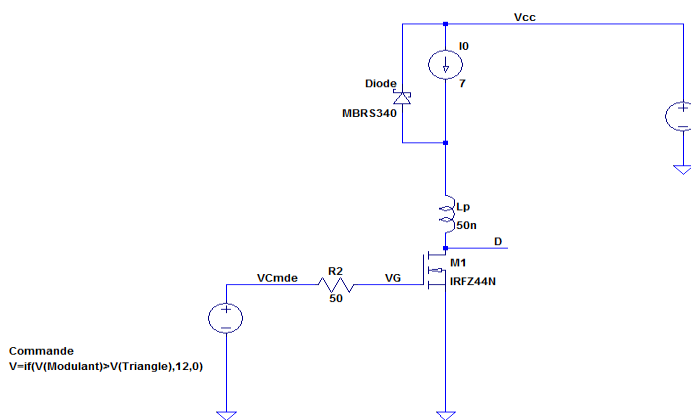


Fig 3.1a Effet de l'inductance parasite située dans le drain

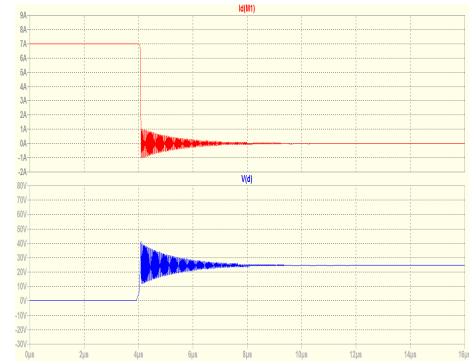


Fig 3.1b oscillations au niveau du drain

On observe très clairement des oscillations non amorties. Elles sont dues au circuit résonnant LC formé par  $C_{oss}$  (condensateur équivalent en sortie) et  $L_p$ . Le schéma simplifié est le suivant :

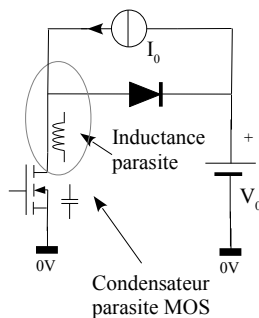


Fig 3.2 MOS en commutation

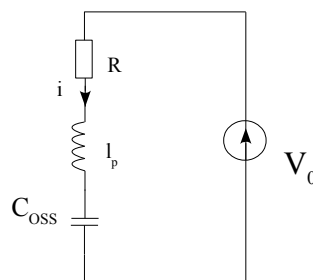


Fig 3.3 Circuit RLC à l'ouverture du MOS

La figure 3.3 s'obtient lorsque la diode entre en conduction. Elle met au même potentiel la source de tension et l'extrémité de l'inductance parasite.

Pour déterminer  $C_{oss}$ , on estime la fréquence à 42MHz (fig 3.1). On en déduit  $C_{oss} = 320\text{pF}$ .

### 3.2. La solution du snubber simple RC : amortir les oscillations

Cette solution est largement développée dans [3] (à lire absolument pour comprendre la suite). Il s'agit d'ajouter un circuit R'C' aux bornes du transistor.

Le schéma devient alors le suivant :

Afin d'amortir au mieux sans pour autant choisir une valeur de C' trop importante, on prendra C' 10 fois plus importante que C<sub>oss</sub>, soit 3,3nF.

La résistance R', peut être approchée par la relation cf [3],  $R' = \sqrt{\frac{L}{C}} \cdot k^{-\frac{1}{4}}$  soit

$$R' = \sqrt{\frac{45n}{320p}} \cdot 10^{-\frac{1}{4}} = 6,6 \Omega .$$

On choisira R' = 6,8Ω.

#### Commentaires des courbes :

L'allure de la tension de drain est conforme aux analyses passives faites dans [3]. La résistance déterminée R' est relativement bonne du premier coup (un seul rebond). Par contre la valeur de la surtension est bien plus élevée que dans [3] (voir figure 3.14 du de ce dernier).

Cela s'explique par l'excitation appliquée. Dans [3] on applique un échelon de tension au niveau de l'inductance. Les conditions initiales sont donc différentes. Dans notre étude le courant coupé vaut 7A. En plaçant 2A au niveau du courant, la valeur de la surtension est tout à fait conforme (5 à 10% de dépassement seulement).

Afin de faire mieux coller ces dernières courbes (réalité du MOS) avec le circuit passif étudié dans [3], nous allons simuler le circuit suivant (fig 3.5). Il s'agit d'une analyse transitoire sous tension 24V au niveau de l'inductance : situation où la tension de drain va se mettre à croître depuis V<sub>DS</sub> = 0 jusqu'à V<sub>DS</sub>=24V. Pour empêcher Spice de faire un analyse .op qui conduirait à démarrer la simulation à partir du régime permanent (donc V<sub>DS</sub>=24V), on utilise la directive .IC. Elle permet de placer 7A dans l'inductance, et une tension nulle au niveau de drain.

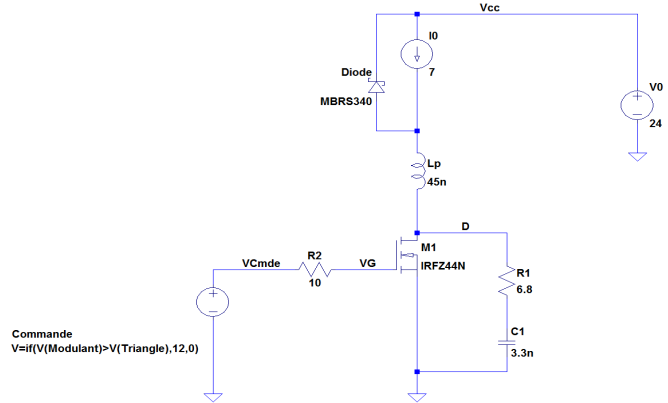


Fig 3.4a Schéma simulé avec snubber

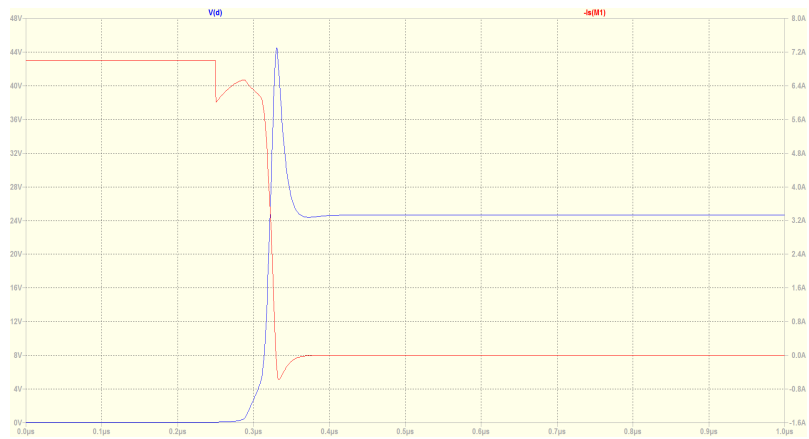


Fig 3.4b allure de la tension et du courant de drain

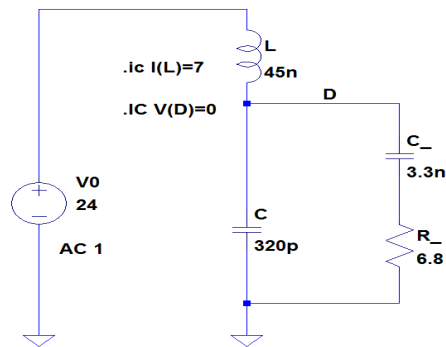
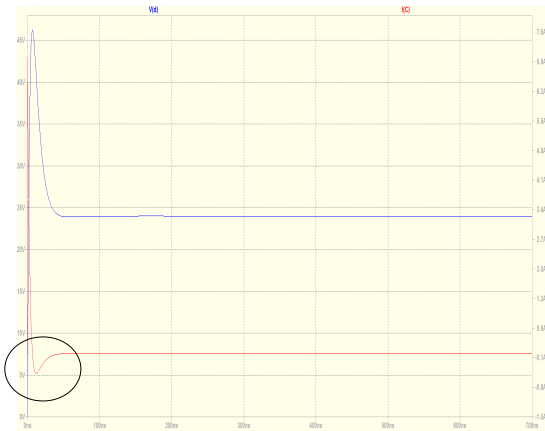


Fig 3.5a Schéma linéarisé du MOS à l'ouverture



Le résultat est donné à la figure 3.5b. On obtient des réponses très proches de la simulation du MOS avec son snubber. Le modèle et l'analyse mené dans [3] est donc pleinement applicable au transitoire d'ouverture du MOS.



**Fig 3.5b** tension et courant dans  $C_{oss}$

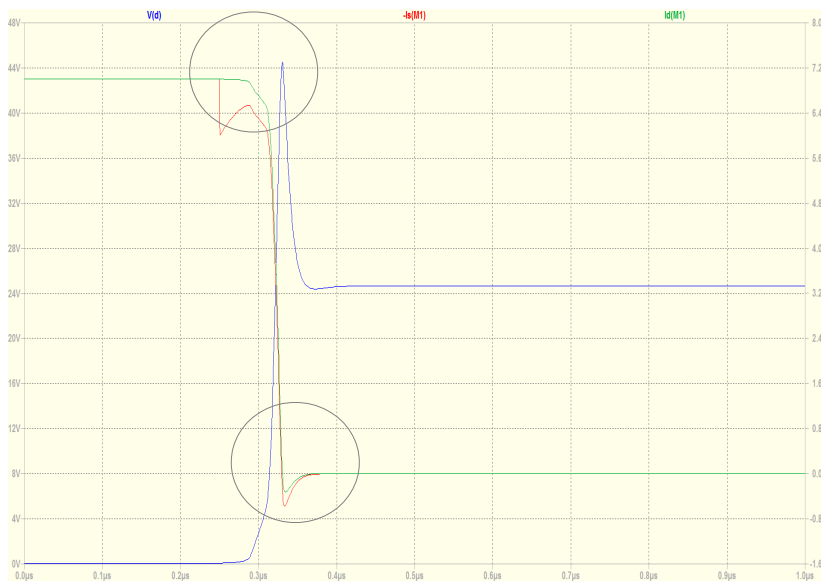
Afin de bien comparer les courbes, les figures 3.4b et 3.5b sont à la même échelle au niveau des temps (100ns par division) et verticalement.

On remarque sur les deux courbes le léger overshoot négatif du courant de source. Il atteint -450mA sur la courbe ci contre, et -570mA sur le transitoire avec le MOS.

La différence tient au fait que dans la seconde simulation, il n'y a pas de courant de grille impulsionnel qui extrait du courant au courant de source. C'est la raison pour laquelle le pic négatif du

courant de source est légèrement plus important sur la figure 3.4b que 3.5b.

Enfin, pour éclairer définitivement sur la nuance entre le courant de source et le courant de drain, voici les courbes de la figure 3.4 auxquelles nous avons rajouté le courant de drain :



**Fig 3.6** réponse transitoire du MOS avec snubber à l'ouverture : tension de drain (bleu), courant de source (rouge), courant de drain (vert)

On observe bien les deux différences majeures :

En haut, à l'amorçage du MOS le courant de source est affecté alors que le courant de drain ne l'est pas.

En bas, lorsque le courant atteint 0, le pic négatif est plus prononcé au niveau de la source que du drain, à cause là encore du courant de grille.

## 4. Dimensionnement du snubber RCD au blocage

Si nous faisons un petit résumé de ce qui a été vu concernant le blocage, voici ce que nous pourrions dire :

- la diode de roue libre, de par son mode de fonctionnement amène des pertes par commutations dans le MOS : la tension  $V_{DS}$  croît pendant que le courant  $I_D$  reste constant jusqu'à ce que la diode conduise (partie 1),
- pour soulager le MOS on insère un condensateur entre drain et source : cela a pour effet de freiner la montée de tension et surtout de dévier le courant de drain vers le condensateur de manière à faire croître la tension de drain sous courant de drain quasi nul (partie 2),
- l'inductance parasite de drain,  $l_p$ , inévitable (provenant du MOS lui même, du routage...), entraîne à la fin de la commutation une oscillation libre entre  $C_{OSS}$  et  $l_p$  à l'origine de perturbation CEM (partie 3). En s'appuyant sur l'étude [3], on peut fortement diminuer ces oscillations. On ajoute un snubber RC entre drain et source.

Le schéma de la figure 2.3, recopiée ci-contre montre le snubber RCD. Nous avons rajouté l'inductance  $l_p$ . La problématique des pertes et des oscillations au blocage se pose simultanément.

Afin de le dimensionner, il faut parvenir à satisfaire plusieurs critères :

- $C'$  suffisamment grand pour pouvoir amortir le circuit (cf [3]),
- $C'$  ne doit pas être trop grand sinon il stockera trop d'énergie et  $R'$  devra dissiper celle ci occasionnant des pertes potentiellement importante,
- $R'$  doit amortir le circuit,
- $R'$  doit pouvoir tenir la puissance lors de la décharge de  $C'$ ,
- la constante de temps  $R'C'$  doit être très faible devant la période de découpage.

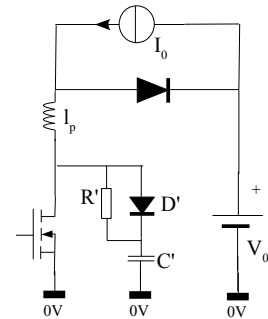


Fig 4.1 circuit d'aide au blocage, CALC

### Proposition d'une méthode de dimensionnement du snubber RCD

Choix de  $C'$  sur un critère de puissance perdue dans  $R'$  :

La puissance dissipée dans  $R'$  correspond à l'énergie transférée depuis  $C'$  à chaque mise en conduction de du MOS.  $P = E \cdot F_{PWM} = \frac{1}{2} \cdot C' \cdot V_0^2 \cdot F_{PWM}$

Etant donné la fréquence, la valeur maximale tolérée pour  $P$ , on en déduit  $C'$  :

$$C' = \frac{2 \cdot P}{V_0^2 \cdot F_{PWM}}$$

Détermination de  $R'$  :

Une première approche de  $R'$  est  $R' = \sqrt{\frac{L}{C}} \cdot k^{-\frac{1}{4}}$ , avec  $k = \frac{C'}{C_{OSS}}$ , cf [3].

Une simulation plus fine permet d'ajuster plus finement  $R'$  pour minimiser les oscillations.

Il convient aussi de vérifier que  $R' \cdot C' \ll T_{PWM}$ .

## 5. Problématique à la fermeture du MOS

*75pF*

*50MHz => L=135nH*

*C' = 1n, k = 13*

$$R' = \sqrt{\frac{L}{C}} \cdot k^{-\frac{1}{4}} = 22 \text{ ohm}$$

*[1] boost*

*[2] commutation MOS*

*[3] second ordre dédié snubber*

*vidéo recovery diode*

*<https://www.youtube.com/watch?v=DT8kCmXbSDg>*